

Rec'd PCT/PTC 29 MAR 2003  
PCT/PTC 03/01915  
RO/KR 17.10.2003

BEST AVAILABLE COPY



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0059372

Application Number

출 원 년 월 일 : 2002년 09월 30일

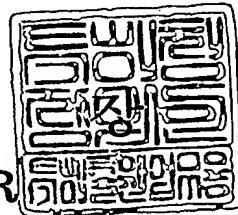
Date of Application

출 원 인 : 주식회사 유진테크  
EUGENE TECHNOLOGY CO., LTD.  
Applicant(s)

2003 년 10 월 17 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.09.30
【발명의 명칭】	영역별 증착두께를 달리할 수 있는 반도체 장치의 질화막 증착 방법
【발명의 영문명칭】	method for depositing nitride film in semiconductor device able to differ from deposition thickness of a classified by area
【출원인】	
【명칭】	주식회사 유진테크
【출원인코드】	1-2000-019806-6
【대리인】	
【성명】	박길님
【대리인코드】	9-1998-000237-7
【포괄위임등록번호】	2000-022765-8
【발명자】	
【성명】	엄평용
【출원인코드】	4-2000-017707-5
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 박길님 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	2 면 2,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	5 항 269,000 원
【합계】	300,000 원
【감면사유】	소기업 (70%감면)
【감면후 수수료】	90,000 원
【첨부서류】	1. 소기업임을 증명하는 서류_1통

**【요약서】****【요약】**

본 발명은 하나의 싱글 챔버식 CVD 장치를 이용하여 영역별 증착두께를 달리할 수 있는 질화막 증착방법에 관한 것이다. 본 발명에서는, 싱글 챔버식 CVD 장치를 이용하여 웨이퍼 표면에 질화막을 증착함에 있어서, 챔버내로 주입되는 반응가스( $\text{NH}_3$ ,  $\text{SiH}_4$ )의 혼합비율을 각기 달리하여 측면 및 하부 영역에 비해 상부 영역이 두꺼운 프로파일을 가지는 질화막을 웨이퍼 표면에 증착시킨다. 본 발명에서는 하나의 싱글 챔버식 CVD 장치내에서 영역별 두께가 다른 질화막을 증착하게 되므로 종래에 비해 공정단계를 간소화할 수 있으며, 고온의 LPCVD 공정을 거치지 않게 되어 열다발 발생 또한 최소화할 수 있게 된다.

**【대표도】**

도 8d

## 【명세서】

## 【발명의 명칭】

영역별 증착두께를 달리할 수 있는 반도체 장치의 질화막 증착방법{method for depositing nitride film in semiconductor device able to differ from deposition thickness of a classified by area}

## 【도면의 간단한 설명】

도 1 내지 도 2b는 종래 방법에 따른 질화막 증착방법을 설명하기 위한 단면도들이다.

도 3은 본 발명의 실시예에 따른 질화막 증착방법에 적용되는 싱글 챔버식 CVD 장치를 나타내는 도면이다.

도 4는 질화막 증착을 위해 주입되는 반응가스의 혼합비율에 따른 스텝 커버리지의 경향을 나타내는 그래프이다.

도 5 내지 도 7은 상기 도 4에 도시된 반응가스 혼합비율에 따른 질화막의 스텝 커버리지 특성을 나타낸다.

도 8a 내지 도 8e는 본 발명의 바람직한 실시예에 따른 질화막 증착방법을 설명하기 위한 공정단면도들이다.

## 【발명의 상세한 설명】

### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <6> 본 발명은 싱글 챔버식 화학기상증착(CVD:Chemical Vapor Deposition) 장치를 이용한 질화막 증착 방법에 관한 것으로서, 보다 상세하게는 영역별 증착두께를 달리할 수 있는 반도체 장치의 질화막 증착방법에 관한 것이다.
- <7> 일반적으로, 반도체 소자는 반도체 기판 상부에 소자분리막, 충간절연막, 도전막, 콘택 등의 다양한 패턴 영역을 형성함으로써 완성된다. 상기 충간절연막으로서는 PSG(Phosphorus Silicon Glass), BPSG(Boron Phosphorus Silicon Glass), USG(Undoped Silicon Glass)등의 실리콘 산화막 또는 질화막(SixNy)으로 형성된다.
- <8> 여기서, 상기 질화막은 충간절연막으로의 기능 이외에 식각공정시의 식각 스토퍼막, 화학적 기계 연마(Chemical Mechanical Polishing: CMP) 공정시 하부막의 손상을 방지하기 위한 베리어막, 셀프 얼라인 콘택등의 미세 패턴 형성시의 베리어막, 소자분리 공정시 반도체 기판으로 산소가 확산되는 것을 방지하기 위한 산소 확산 방지막등 다양한 기능을 수행하는 물질막으로서 사용되기도 있다. 또한, 데이터의 휘발 특성이 있는 디램 소자를 제조함에 있어서, 디자인률의 감소에 따른 미세 패턴화와 데이터의 리드/라이트 속도를 보다 향상시키기 위하여 웨드라인 및 비트라인의 채질을 종래의 텅스텐 실리사이드, 도우프된 실리콘에서 저저항 물질인 금 속으로 전환함에 따라 중금속 오염 및 금속물질의 열적 변형을 방지하기 위한 로우 열 다발 공정시에도 상기한 질화막이 베리어막으로서 사용되고 있다. 이러한 질화막은 대체적으로 노

(furnace) 타입의 CVD 장치를 이용한 써멀(thermal) CVD 공정 또는 싱글 챔버 타입의 플라즈마 인핸스드(plasma enhanced) CVD 장치를 이용한 PECVD 공정을 통해 증착되어진다.

9> 이때, 상기 써멀 CVD 장치를 이용하여 질화막을 형성할 경우, 로딩효과와 표면 러프니스 특성이 우수하여 스텝 커버리지가 양호한 장점이 있는 반면에 웨이퍼가 고온에 오랜 시간 노출됨으로 인해 웨이퍼에 열다발이 발생하여 웨이퍼에 생성된 소자의 전기적 특성 및 메탈 전극의 열적인 열화로 전기적 특성이 악화되는 단점이 있다.

10> 이에 비하여, 상기 플라즈마 인핸스드 CVD장치를 이용하여 질화막을 증착할 경우, 저온 분위기하에서 질화막을 형성하므로 열다발 발생을 최소화할 수 있는 장점이 있지만, 로딩 효과나 스텝 커버리지 특성이 좋지 못하여 단차가 형성된 상태에서 질화막을 침적하는 것이 불가능 하며, 플라즈마로 인하여 질화막의 특성(quality)이 상기 써멀 CVD 공정에 비해 저하되는 단점이 있다.

11> 한편,  $0.5\mu\text{m}$  이하의 패턴 사이즈를 가지는 고집적 반도체 소자의 스몰 콘택 형성시 스페 이서 증착후 플라즈마를 이용한 블랭킷 식각공정등을 실시하고자 할 경우, 도 1에 도시된 것과 같이 측면(참조부호 "B")이나 하부(참조부호 "C")에 비해 상부(참조부호 "A") 영역의 질화막 (1) 증착두께가 보다 두꺼운 형태의 프로파일이 필요하게 된다. 이러한 경우, 종래에는 스텝 커버리지가 우수한 써멀 CVD 장치를 이용하여 도 2a에 도시된 것과 같이 전체적으로 동일한 두께의 제1차 질화막(2a)을 증착한다. 그리고 나서, 플라즈마 인핸스드 CVD 장치로 웨이퍼를 이동시켜 도 2b에 도시된 것과 같이 상기 제1질화막(2a) 상부 영역에 두꺼운 제2차 질화막(2b)이 증착되도록 하여 결과적으로 측면 및 하부 영역에 비해 상부 영역의 질화막 두께가 월등히 두꺼운 프로파일을 얻게 된다.

☞ 이처럼, 상부 영역의 질화막 두께를 측면 또는 하부 영역에 비해 두껍게 형성하고자 할 경우, 종래에는 스텝 커버리지 특성이 우수한 써멀 CVD 장치를 제1차 CVD 장치로 이용하여 전 체적으로 균일한 두께의 질화막을 형성한 후, 또 다른 CVD 장치, 즉, 상부 영역의 증착률이 높은 플라즈마 인핸스드 CVD 장치를 제2차 CVD 장치로 이용하여 상부 영역의 두께를 보다 두껍게 형성하기 위한 추가 공정을 실시하여야 하는 번거로운 문제점이 있다. 또한, 고온의 써멀 CVD 공정으로 인해 열다발이 발생되는, 웨이퍼를 써멀 CVD 장치에서 플라즈마 인핸스드 CVD 장치로 이동시키는 과정에서 공기중의 불순물 입자에 의해 웨이퍼가 오염될 우려가 있다.

13> 따라서, 본 분야에서는 공정상의 번거로움 없이 하나의 CVD 장비를 이용하면서도 영역별 증착두께를 달리할 수 있는 새로운 질화막 증착방법이 요구되고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

14> 따라서 본 발명의 목적은, 하나의 CVD 장치를 이용하여 영역별 증착두께를 달리할 수 있는 질화막 증착방법을 제공하는데 있다.

15> 본 발명의 다른 목적은, 측면 또는 하부 영역에 비해 상부 영역의 질화막 증착두께를 증가시킬 수 있는 질화막 증착방법을 제공하는데 있다.

16> 본 발명의 다른 목적은, 열다발 발생을 최소화하고, 공정상의 번거로움을 해소하면서도 영역별 증착두께를 달리할 수 있는 질화막 증착방법을 제공하는데 있다.

17> 상기한 목적을 달성하기 위하여 본 발명에서는, 반응 가스가 유입되는 인렛 가스 라인부, 유입된 반응 가스가 분사되는 샤크 웨이퍼, 웨이퍼가 안착되는 히터부, 상기 히터부를 지지하는 히터 지지부 및 반응 가스가 배출되는 진공 포터부가 공정챔버 내부에 형성되어 있는 성

싱글 챔버식 CVD 장치를 이용한 영역별 증착두께를 달리할 수 있는 질화막 증착방법에 있어서: 상기 질화막 증착을 위해 주입되는 반응가스인 암모니아( $NH_3$ ) 가스와 실란( $SiH_4$ ) 가스의 혼합비율을 100:1 이상으로 유지시킨 제1차 질화막 증착공정을 실시하여 제1차 질화막을 증착하는 단계와; 상기 제1차 질화막을 증착한 상태에서 인-시튜로 상기 암모니아 가스와 실란 가스의 혼합비율을 100:1 이하로 유지시켜 제2차 질화막 증착공정을 실시함으로써, 측면 및 하부 영역에 비해 상부 영역의 두께가 보다 두꺼운 제2차 질화막을 상기 제1차 질화막 표면에 증착하는 단계를 포함함을 특징으로 하는 질화막 증착방법을 제공한다.

18> 또한, 상기한 목적을 달성하기 위하여 본 발명에서는, 반응 가스가 유입되는 인렛 가스라인부, 유입된 반응 가스가 분사되는 샤큐워 헤드부, 웨이퍼가 안착되는 히터부, 상기 히터부를 지지하는 히터 지지부 및 반응 가스가 배출되는 진공 포터부가 공정챔버 내부에 형성되어 있는 싱글 챔버식 CVD 장치를 이용한 영역별 증착두께를 달리할 수 있는 질화막 증착방법에 있어서: 상기 질화막 증착을 위해 주입되는 반응가스인 암모니아( $NH_3$ ) 가스와 실란( $SiH_4$ ) 가스의 혼합비율을 5:1 이상 50:1 이하로 유지하여 측면 및 하부 영역에 비해 상부 영역의 두께가 보다 두꺼운 프로파일을 가지는 질화막을 증착함을 특징으로 하는 질화막 증착방법을 제공한다.

#### 【발명의 구성 및 작용】

<19> 본 발명은 하나의 싱글 챔버식 CVD 장치내에서 반응가스의 비율을 조절하여 영역별 증착두께가 서로 다른 질화막이 증착시키기 위한 개선된 질화막 증착방법에 관한 것으로서, 이하, 제시된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

▷ 도 3은 본 발명의 실시예에 따른 질화막 증착방법에 적용되는 싱글 챔버식 CVD 장치를 나타낸다.

▷ 도면을 참조하면, 상기 CVD장치는 질화막 증착공정이 이루어지는 공정챔버부(Process Chamber:10), 인렛 가스 라인부(Inlet Gas Line:12), 반응 가스가 분사되는 샤워 헤드부(Shower Head:14), 웨이퍼가 암착되는 세라믹 히터부(Heater:16), 상기 히터부(16)를 지지하는 히터 지지부(Heater Support:18), 반응 가스가 배출되는 진공 포터부(Vacuum port:20)등으로 구성되어 있다. 그리고, 상기 히터부(16) 상부에는 그 표면에 질화막이 증착되어질 웨이퍼(22)가 로딩되어 있다.

▷ 본 발명에서는 상기와 같은 싱글 챔버식 CVD 장치를 이용하여 웨이퍼 표면에 질화막을 형성함에 있어서, 상기 공정챔버부(10)내로 주입되는 반응가스의 혼합비율을 조절함으로써 상기 웨이퍼(22) 표면에 증착되는 질화막의 증착두께를 영역별로 다르게 조절할 수 있게 된다.

▷ 도 4는 질화막 증착을 위해 주입되는 반응가스의 혼합비율에 따른 스텝 커버리지의 경향을 나타내는 그래프이다.

▷ 그래프를 참조하면, X축은 질화막 증착에 적용되는 반응가스인 암모니아(NH<sub>3</sub>) 가스와 실란(SiH<sub>4</sub>) 가스의 혼합비율을 나타내고, Y축은 상기 반응가스의 혼합비율에 따른 질화막의 스텝 커버리지 경향을 나타낸다. 상기 그래프를 통해 알 수 있는 바와 같이, 반응가스중 암모니아의 비율이 클수록 콘택홀의 측면 영역과 상부 영역에 증착된 질화막 두께의 비율을 나타내는 스텝 커버리지 특성이 우수하며, 반응가스중 암모니아의 비율이 낮아질수록 질화막의 스텝 커버리지 특성 또한 저하됨을 알 수 있다. 즉, 암모니아의 비율이 커질수록 콘택홀의 측면 영역과 상부 영역에 유사한 두께의 질화막이 증착되나, 암모니아의 비율이 낮아질수록 콘택홀의 측면 영역에 비해 상부 영역에 보다 두꺼운 질화막이 증착된다.

25> 하기의 도 5 내지 도 7은 상기 도 4에 도시된 암모니아와 실란 가스의 혼합비율에 따른 실제 웨이퍼상에 증착된 질화막의 증착두께의 변화를 나타낸다.

26> 먼저, 도 5는 암모니아와 실란의 혼합비율이 2000:5 이상일 경우(①구간)의 질화막(30) 증착상태를 나타내는 도면으로서, 콘택홀의 측면 영역과 상부 영역에 유사한 두께의 질화막이 전체적으로 증착되어 있다.

27> 도 6은 암모니아와 실란의 혼합비율이 대략 500:20 이상 2000:5이하일 경우(②구간)의 질화막(40) 증착상태를 나타내는 도면으로서, 콘택홀의 측면 영역에 비해 상부 영역에 보다 두껍게 질화막이 증착되어 있다.

28> 도 7은 암모니아와 실란의 혼합비율이 대략 30:20 이상 500:20 이하일 경우(③구간)의 질화막(50) 증착상태를 나타내는 도면으로서, 콘택홀 상부 영역의 질화막의 두께가 다른 영역에 비해 오버행(over-hang)이 발생될 수 있을 정도로 월등히 큼을 알 수 있다.

29> 본 발명에서는 이처럼 반응가스인 암모니아와 실란의 혼합비율에 따라 영역별 질화막의 증착두께가 달라지는 점을 이용한 질화막 증착방법을 도 8a 내지 도 8e를 통해 설명하고자 한다.

30> 도 8a 내지 도 8e는 본 발명의 실시예에 따른 질화막 증착방법을 설명하기 위한 공정단면도들이다.

31> 먼저, 도 8a를 참조하면, 트랜지스터(도시되지 않음)가 형성되어 있는 반도체 기판(100) 상부에 랜딩패드(102)를 형성한 뒤, 제1층간절연막(104)을 전면 도포한다. 그리고 나서, 상기 랜딩패드(102)가 형성되어 있는 반도체 기판(100) 상부에 실리사이드등의 도전물로 이루어진 비트라인(106) 및 상기 비트라인(106)에 대한 하드 마스크로서 기능하는 질화막 마스크(108)를

차례로 형성한다. 그리고 나서, 상기 비트라인(106) 및 질화막 마스크(108) 측벽에 질화막 스페이서(110)를 형성한다.

32>      도 8b를 참조하면, 상기 결과물의 전면 상부에 제2층간절연막(112)을 형성한다. 그리고 나서, 통상의 사진식각공정을 실시하여 상기 랜딩패드(102)의 상부를 노출시키는 콘택홀(114)을 형성한다.

33>      도 8c 및 도 8d는 본 발명의 핵심기술 공정을 나타내는 도면으로서, 상기 콘택홀(114)이 형성되어 있는 반도체 기판(100)의 전면 상부에 상기 도 3에 도시되어 있는 것과 같은 싱글 챔버식 CVD 장치를 이용하여 식각베리어막으로서 기능하는 질화막을 증착하기 위한 제1차 및 제2차 질화막 증착공정을 나타낸다.

34>      이때, 상기 질화막 증착공정을 실시함에 있어서, 암모니아(NH<sub>3</sub>) 가스는 약 50~3000 SCCM(Standard Cubic Centimeter per Minute)으로 유지하고, 실란(SiH<sub>4</sub>) 가스는 약 2~40 SCCM으로 유지한다. 그리고, 상기 실란 가스 및 암모니아 가스를 희석시키는 폐지 가스로서 주입되는 질소(N<sub>2</sub>) 가스는 약 100~10000 SCCM으로 유지하고, 공정 온도는 약 600~800°C, 챔버내의 압력은 약 10~350 토르(Torr)로 유지하도록 한다.

<35>      우선, 도 8c는 식각베리어막으로서 기능하는 제1차 질화막(116)을 형성하기 위한 제1차 질화막 증착공정으로서, 암모니아와 실란을 약 100:1의 비율로 혼합하여 상기 콘택홀(114)이 형성되어 있는 반도체 기판(100) 상부에 증착 두께가 일정하여 스텝 커버리지 특성이 우수한 제1차 질화막(116)을 증착한다.

36> 이어서, 상기 콘택홀(114)이 형성되어 있는 제2층간절연막(112) 상부 영역에만 보다 두꺼운 질화막을 증착시키기 위해, 상기 제1차 질화막(116)을 증착시킨 상기 챔버내에서 인-시튜로 제2차 질화막 공정을 연속으로 실시하게 된다.

37> 즉, 도 8d를 참조하면, 상기 제1차 질화막(116)이 증착되어 있는 반도체 기판(100)이 히터부(16)에 로딩되어 있는 상태에서  $\text{NH}_3$ 와  $\text{SiH}_4$  가스의 혼합비율을 100:1 이하로 변화시켜 상기 콘택홀(114)의 측면 및 하부 영역에 비해 제2층간절연막(112) 상부 영역의 증착두께가 보다 두꺼운 제2차 질화막(118)을 증착한다.

38> 이처럼, 상기 제2층간절연막(112) 상부 영역의 질화막을 다른 영역에 비해 보다 두껍게 형성하고자 할 경우, 도 8c 및 도 8d에 도시되어 있는 것과 같이 암모니아 가스와 실란 가스가 각각 100:1 이상과 100:1 이하의 비율로 혼합되어 있는 각각의 반응가스를 이용하여 제1차 질화막(116) 및 제2차 질화막(118)을 증착하는 투 스텝 공정이 적용된다. 상기 투 스텝 공정을 통해 증착된 상기 제1차 질화막(116)과 제2차 질화막(118)은 도 8d에 도시된 것과 같이 점선을 통해 각각 구분되어 있다

39> 한편, 도면을 통해 설명되지는 않았지만 상기와 같은 투 스텝 공정 이외에 암모니아 가스와 실란 가스의 혼합비율을 5:1 이상에서 50:1 이하의 조건으로 유지하여 질화막을 증착시키는 원 스텝 공정을 통해서도 상기 제2층간절연막(112) 상부 영역의 질화막을 다른 영역에 비해 보다 두껍게 형성할 수 있다. 그리고, 이러한 원 스텝 공정을 통해서도 도 8d에 도시된 것과 같이, 콘택홀(114)의 측면 및 하부 영역에 비해 제2층간절연막(112) 상부 영역에 보다 두꺼운 질화막을 증착시킬 수 있음은 물론이다.

40> 계속해서 도 8e를 참조하면, 상기 제2차 질화막(118)이 형성되어 있는 반도체 기판에 도전물질을 도포하여 상기 콘택홀(114)을 완전히 충진한다. 그리고 나서, 화학기계연마(Chemical

Mechanical Polising) 또는 블랭킷 식각등의 평탄화공정을 실시하여 하부의 랜딩패드와 접하는 플러그 전극(120)을 형성한다. 이때, 상기 제2층간절연막 상부에 형성되어 있는 두꺼운 제2질화막(118)으로 인해 상기 평탄화공정시 비트라인을 둘러싸고 있는 제2층간절연막(112)의 손상을 방지할 수 있게 된다. 또한, 상기 제2차 질화막(118)은 주로 제2층간절연막(112) 상부에만 두껍게 증착되므로 콘택홀의 실제 종횡비(aspect ratio)에는 거의 영향을 미치지 않아 보이드(void) 발생없는 완전한 플러그를 형성할 수 있게 된다.

41> 상기한 바와 같이, 상기 콘택홀(114)이 형성되어 있는 제2층간절연막(112) 상부에만 타 영역에 비해 보다 두꺼운 질화막을 형성하고자 할 경우, 종래에는 스텝 커버리지 특성이 우수한 써멀(thermal) CVD 장치를 이용하여 제1차 질화막을 증착시킨 후, 이를 다시 플라즈마 인핸스드 CVD 장치로 이동시켜 상기 제2층간절연막 상부에 두꺼운 제2차 질화막을 증착하는 공정을 실시하였다. 따라서, 제1차 질화막 증착후 또 다른 CVD 장치로의 이동으로 인해 공정이 지연되고, 서로 다른 CVD 장치를 구비하여야 하므로 제조 비용이 증가되는 문제점이 있었다.

42> 그러나, 본 발명에서는 하나의 싱글 챔버식 CVD 장비내에서 반응가스의 혼합비율을 조정하여 제1차 질화막을 형성한 후, 동일 장비내에서 인-시튜로 제2차 질화막을 형성하게 된다. 이처럼 하나의 장비내에서 제1차 질화막 및 제2차 질화막이 형성되므로 종래에서와 같이 두개의 CVD 장비를 구비하여야 하는 문제점이 해소된다. 또한, 제1차 질화막 형성후 인-시튜로 제2차 질화막을 증착하게 되므로 공정의 흐름이 끊기지 않으며 장비간 이동으로 인한 불순물 오염을 방지할 수 있게 된다.

43> 이상에서 설명한 것은 본 발명의 바람직한 실시예에 따른 질화막 제조방법을 실시하기 위한 하나의 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고 이하의 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당

해 기술분야에서 통상의 지식을 가진 자라면 누구든지 변경 실시가 가능함을 이해할 수 있을 것이다. 즉, 상기 실시예에서는 랜딩패드와 접하는 플러그 전극 형성과정을 예로 들어 영역별 증착두께를 달리할 수 있는 질화막 증착방법을 설명하였지만, 영역별 증착두께를 달리하여야 하는 그 이외의 공정에도 물론 적용될 수 있음이다.

### 【발명의 효과】

44> 상술한 바와 같이, 본 발명에서는 웨이퍼 표면에 영역별 두께가 다른 질화막을 증착함에 있어서, 하나의 싱글 챔버식 화학기상증착 장치내에서 반응가스인 암모니아 가스와 실란 가스의 혼합비율을 조절하여 영역별 두께가 다른 질화막을 증착함으로써, 공정단계를 간소화시키면서도 열 다발등이 발생되지 않는 양질의 질화막을 증착할 수 있다.

**【특허청구범위】****【청구항 1】**

반응 가스가 유입되는 인렛 가스 라인부, 유입된 반응 가스가 분사되는 샤프 헤드부, 웨이퍼가 안착되는 히터부, 상기 히터부를 지지하는 히터 지지부 및 반응 가스가 배출되는 진공 포터부가 공정챔버 내부에 형성되어 있는 싱글 챔버식 CVD 장치를 이용한 영역별 증착두께를 달리할 수 있는 질화막 증착방법에 있어서:

상기 질화막 증착을 위해 주입되는 반응가스인 암모니아( $\text{NH}_3$ ) 가스와 실란( $\text{SiH}_4$ ) 가스의 혼합비율을 100:1 이상으로 유지시킨 제1차 질화막 증착공정을 실시하여 제1차 질화막을 증착하는 단계와;

상기 제1차 질화막을 증착한 상태에서 인-시튜로 상기 암모니아 가스 및 실란 가스의 혼합비율을 100:1 이하로 유지시켜 제2차 질화막 증착공정을 실시함으로써, 측면 및 하부 영역에 비해 상부 영역의 두께가 보다 두꺼운 제2차 질화막을 상기 제1차 질화막 표면에 증착하는 단계를 포함함을 특징으로 하는 질화막 증착방법.

**【청구항 2】**

제 1항에 있어서, 상기 암모니아 가스는 약 50~3000 SCCM으로 유지하고, 실란 가스는 약 2~40 SCCM으로 유지함을 특징으로 하는 질화막 증착방법.

**【청구항 3】**

제 1항에 있어서, 상기 공정 챔버내의 압력은 10~350 토르로 유지하고, 상기 공정 챔버 내의 온도는 600~800°C로 유지함을 특징으로 하는 질화막 증착방법.

**【청구항 4】**

제 1항에 있어서, 상기 실란 가스 및 암모니아 가스를 희석시키는 퍼지 가스로서 주입되는 질소( $N_2$ ) 가스는 약 100~10000 SCCM으로 유지함을 특징으로 하는 질화막 증착방법.

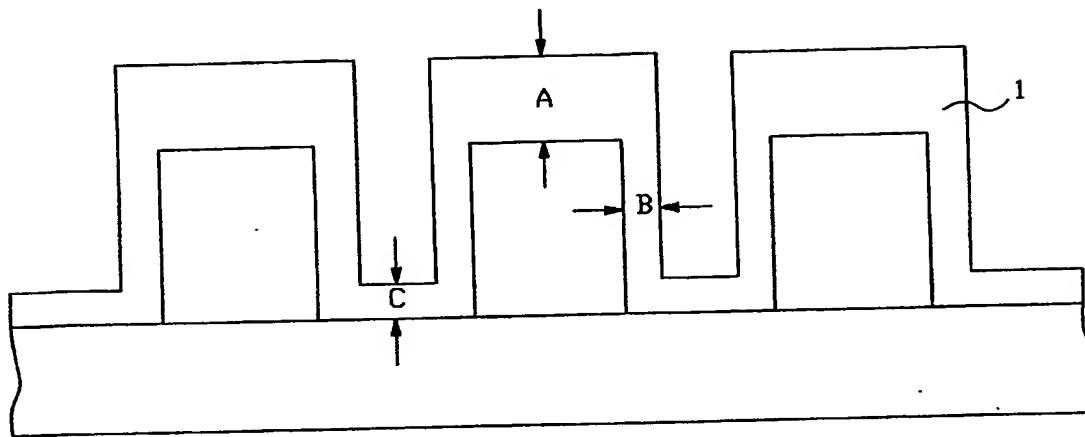
**【청구항 5】**

반응 가스가 유입되는 인렛 가스 라인부, 유입된 반응 가스가 분사되는 샤큐 헤드부, 웨이퍼가 안착되는 히터부, 상기 히터부를 지지하는 히터 지지부 및 반응 가스가 배출되는 진공포터부가 공정챔버 내부에 형성되어 있는 싱글 챔버식 CVD 장치를 이용한 영역별 증착두께를 달리할 수 있는 질화막 증착방법에 있어서:

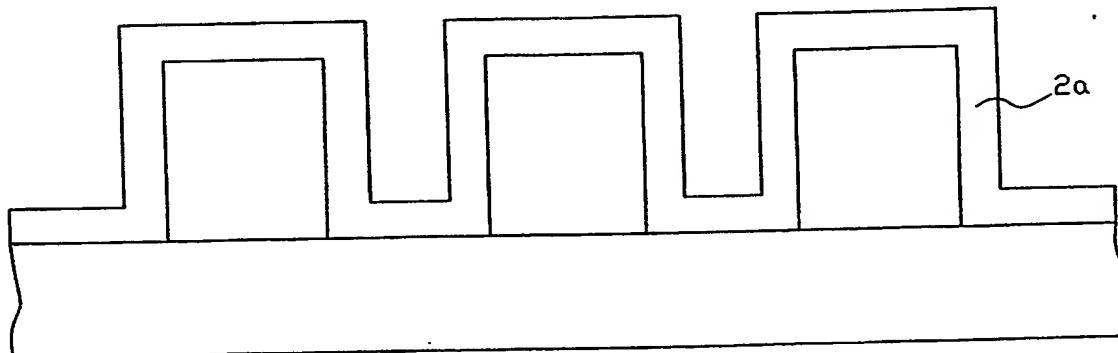
상기 질화막 증착을 위해 주입되는 반응가스인 암모니아( $NH_3$ ) 가스와 실란( $SiH_4$ ) 가스의 혼합비율을 5:1 이상 50:1 이하로 유지하여 측면 및 하부 영역에 비해 상부 영역의 두께가 보다 두꺼운 프로파일을 가지는 질화막을 증착함을 특징으로 하는 질화막 증착방법.

## 【도면】

## 【도 1】



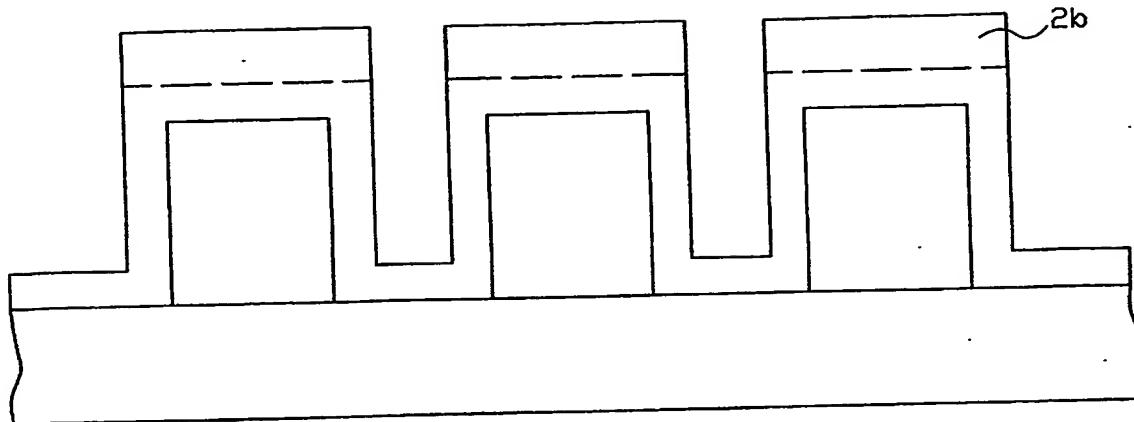
## 【도 2a】



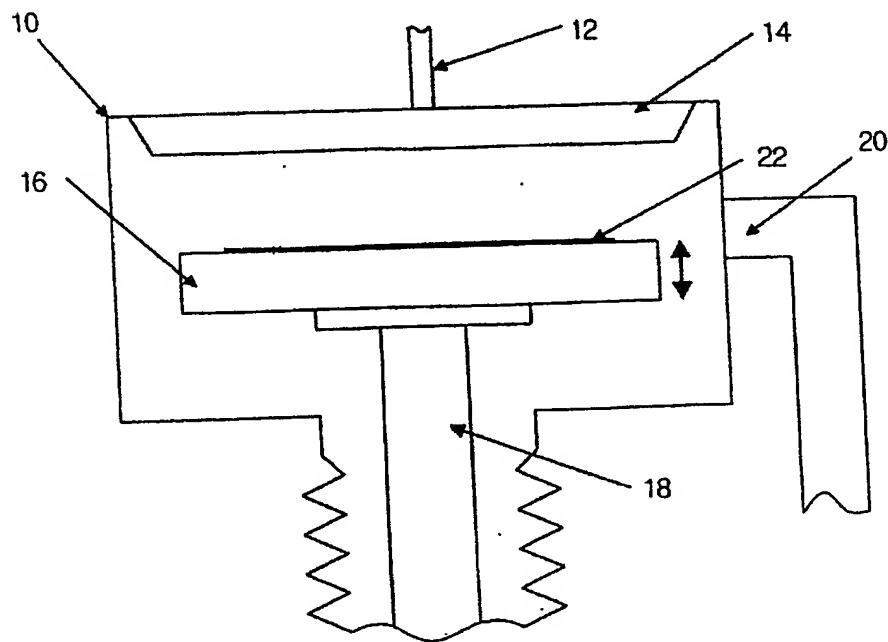
020059372

출력 일자: 2003/10/25

【도 2b】



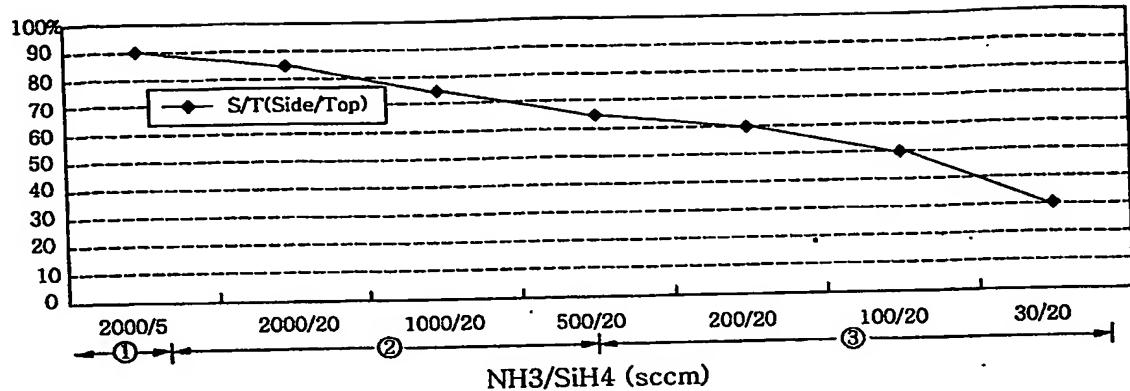
【도 3】



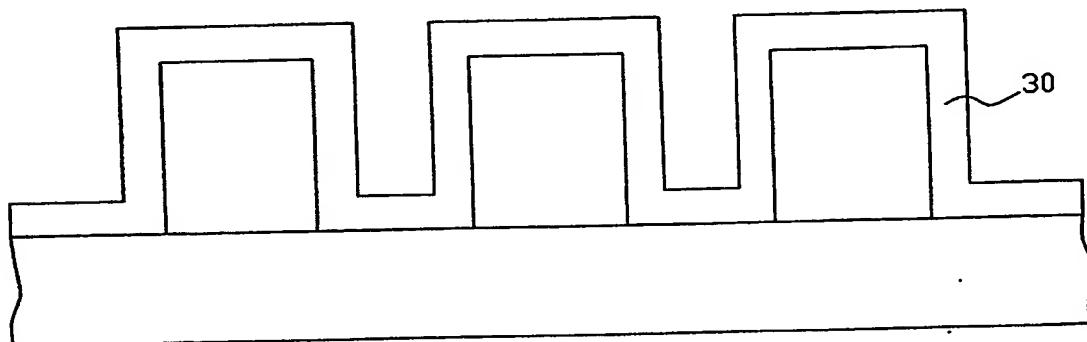
020059372

출력 일자: 2003/10/25

【도 4】



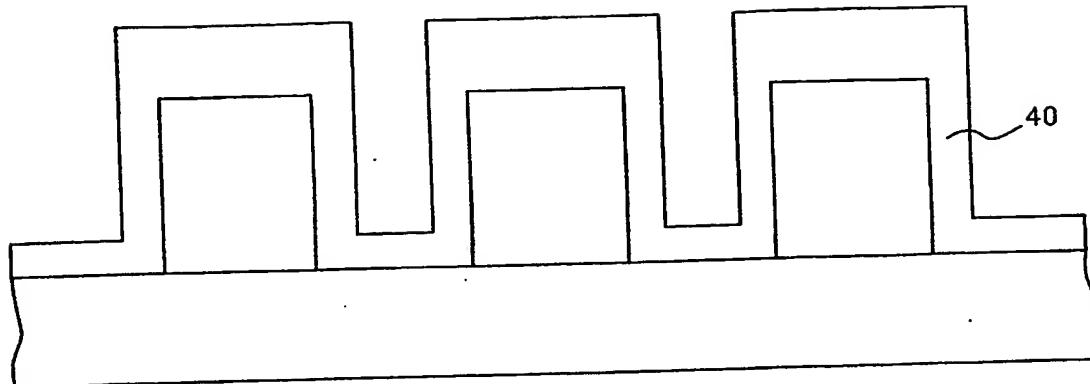
【도 5】



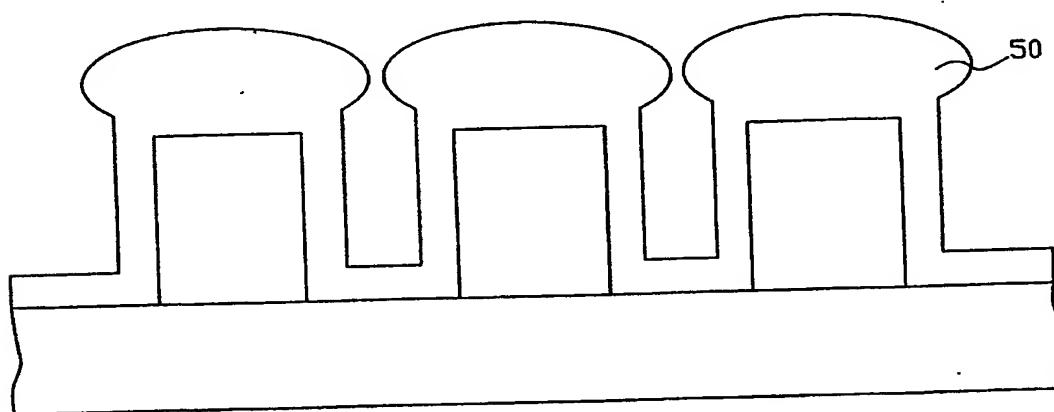
020059372

출력 일자: 2003/10/25

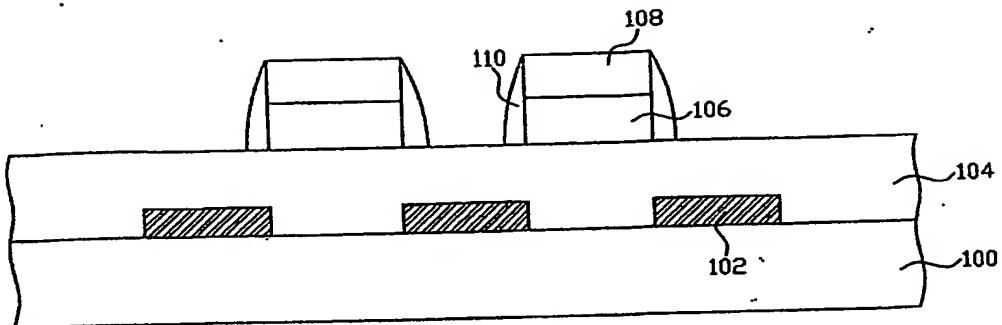
【도 6】



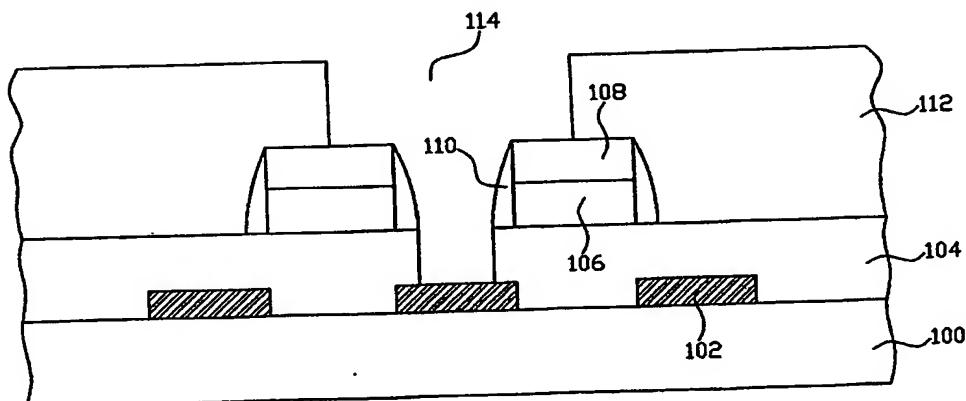
【도 7】



【도 8a】



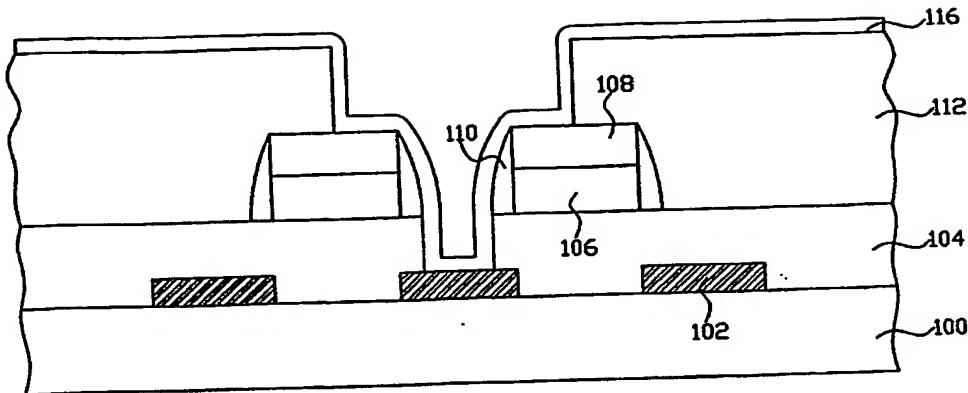
【도 8b】



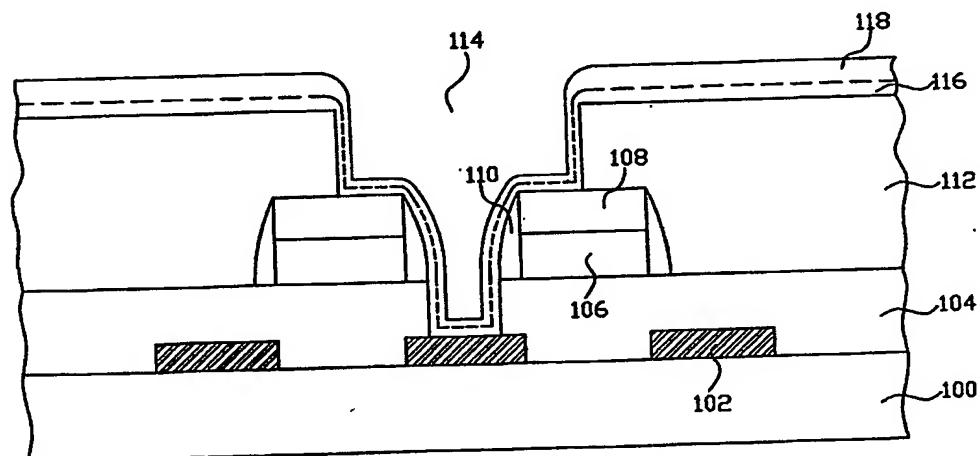
020059372

출력 일자: 2003/10/25

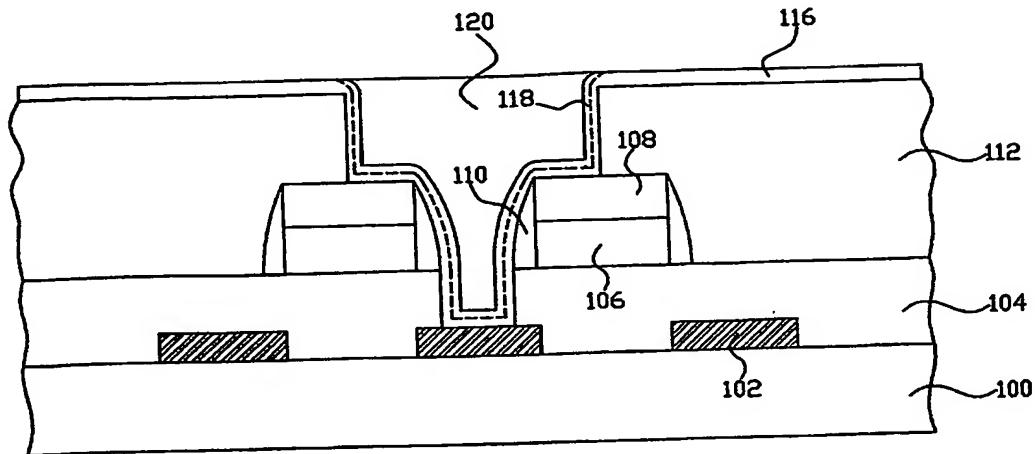
【도 8c】



【도 8d】



【도 8e】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**